

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)

MITSUSHI)

Application Number: 10/705,902)

Filed: November 13, 2003)

For: DATA TRANSFER DEVICE, SEMICONDUCTOR)
INTEGRATED CIRCUIT, AND MICROCOMPUTER)

ATTORNEY DOCKET NO. HITA.0453)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of January 20, 2003, the filing date of the corresponding Japanese patent application 2003-010739.

A certified copy of Japanese patent application 2003-010739 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344

Juan Carlos A. Márquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
February 23, 2004



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
)
MITSUISHI)
)
Application Number: 10/705,902)
)
Filed: November 13, 2003)
)
For: DATA TRANSFER DEVICE, SEMICONDUCTOR)
INTEGRATED CIRCUIT, AND MICROCOMPUTER)
)
ATTORNEY DOCKET NO. HITA.0453)

**Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231**

LETTER

Sir:

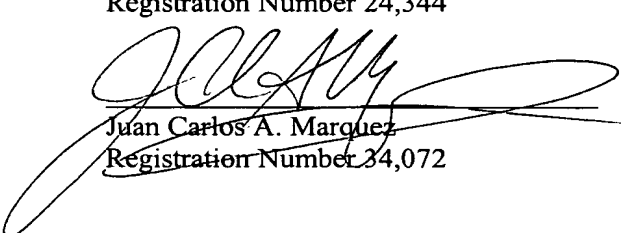
The below-identified communications are submitted in the above-captioned application or proceeding:

<input checked="" type="checkbox"/> (X)	Priority Documents ONE (1)	
<input checked="" type="checkbox"/> (X)	Request for Priority	<input type="checkbox"/> () Assignment Document
<input type="checkbox"/> ()	Response to Missing Parts	<input type="checkbox"/> () Petition under 37 C.F.R. § 1.47(a)
	w/ signed Declaration	<input type="checkbox"/> () Check for

☒ [X] The Commissioner is hereby authorized to charge payment of any fees associated with this communication, including fees under 37 C.F.R. § 1.16 and 1.17 or credit any overpayment to **Deposit Account Number 08-1480**. A duplicate copy of this sheet is attached.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344



Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
February 23, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 0 日
Date of Application:

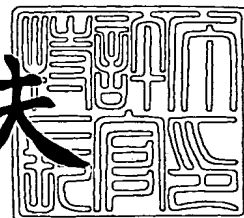
出 願 番 号 特 願 2 0 0 3 - 0 1 0 7 3 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 1 0 7 3 9]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 0 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 6 9 8 0

【書類名】 特許願

【整理番号】 H02010351

【提出日】 平成15年 1月20日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/28

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 三ツ石 直幹

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100089071

 【弁理士】

 【氏名又は名称】 玉村 静世

 【電話番号】 03-5217-3960

【手数料の表示】

 【予納台帳番号】 011040

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送装置、半導体集積回路及びマイクロコンピュータ

【特許請求の範囲】

【請求項 1】 第 1 のバスと第 2 のバスに接続され、それらバスの間のデータ転送を行うデータ転送装置であって、

前記第 1 のバスと第 2 のバスの夫々に対し独立したバス権要求とアドレス出力が可能であり、1つのデータ転送起動要求に応答して、リードを行う一方のバスにバス権を要求し、ライトを行う他方のバスにバス権を要求することを特徴とするデータ転送装置。

【請求項 2】 前記一方のバスのバス権要求と他方のバスのバス権要求を別のタイミングで行うことを特徴とする請求項 1 記載のデータ転送装置。

【請求項 3】 バス権を獲得した一方のバスのリード動作の所定タイミングで、他方のバスのバス権要求を行うことを特徴とする請求項 2 記載のデータ転送装置。

【請求項 4】 複数のデータ転送チャンネルと、データ転送チャンネルの動作を指示する制御レジスタを有し、

前記制御レジスタは、転送要求を受付けるデータ転送チャンネルと転送要求発生元との対応を定義する転送要求発生元指定領域、データ転送チャンネルと転送元バスとの対応を定義するソースバス指定領域、及びデータ転送チャンネルと転送先バスとの対応を定義するディスティネーションバス指定領域を有することを特徴とする請求項 3 記載のデータ転送装置。

【請求項 5】 第 1 のバスと、第 2 のバスと、前記第 1 のバスと第 2 のバスの間のデータ転送を行うデータ転送装置と、前記第 1 のバスに接続された中央処理装置と、前記中央処理装置の制御プログラムを保有し前記第 1 のバスに接続されたプログラム格納用メモリとを有し、

前記データ転送装置は、前記第 1 のバスと第 2 のバスの夫々に対し独立したバス権要求とアドレス出力が可能であり、1つのデータ転送起動要求に応答して、リードを行う一方のバスにバス権を要求し、それとは異なったタイミングでライトを行う他方のバスにバス権を要求し、

前記中央処理装置は、前記データ転送装置による第2のバスを利用したバスアクセスに並行して、前記第1のバスを利用したバスアクセスが可能であることを特徴とする半導体集積回路。

【請求項6】 第1のバスと、第2のバスと、前記第1のバスと第2のバスの間のデータ転送を行うデータ転送装置と、前記第1のバスに接続された中央処理装置と、前記第1のバスと第2のバスのバス制御手段とを有し、

前記データ転送装置は、前記第1のバスと第2のバスの夫々に対し独立したバス権要求とアドレス出力が可能であり、1つのデータ転送起動要求に応答して、リードを行う一方のバスにバス権を要求し、それとは異なったタイミングでライトを行う他方のバスにバス権を要求し、

前記バス制御手段は、前記第1のバスと第2のバスの夫々に対し独立にバス権要求の調停とバス制御が可能であることを特徴とする半導体集積回路。

【請求項7】 第1のバスと、第2のバスと、第3のバスと、前記第1のバスに接続された中央処理装置と、前記中央処理装置の制御プログラムを保有し前記第1のバスに接続されたプログラム格納用メモリと、前記第2のバスと第3のバスの間のデータ転送が可能なデータ転送装置とを有し、

前記データ転送装置は、前記第2のバスと第3のバスの夫々に対し独立したバス権要求とアドレス出力が可能であり、1つのデータ転送起動要求に応答して、リードを行う一方のバスにバス権を要求し、それとは異なったタイミングでライトを行う他方のバスにバス権を要求し、

前記中央処理装置は、前記データ転送装置による第2のバス又は第3のバスを利用したバスアクセスに並行して、前記第1のバスを利用したバスアクセスが可能であることを特徴とする半導体集積回路。

【請求項8】 前記第1乃至第3のバスのバス制御手段を有し、

前記バス制御手段は、前記第1乃至第3のバスの夫々に対し独立にバス権要求の調停とバス制御が可能であることを特徴とする請求項7記載の半導体集積回路。

【請求項9】 前記中央処理装置は、前記第1のバスから前記バス制御手段を介して第2のバス又は第3のバスをアクセス可能であることを特徴とする請求

項 8 記載の半導体集積回路。

【請求項 10】 第 1 のバスと、第 2 のバスと、第 3 のバスと、前記第 1 のバスに接続された中央処理装置と、前記中央処理装置の制御プログラムを保有し前記第 1 のバスに接続されたプログラム格納用メモリと、前記第 1 乃至第 3 のバスの内の何れか 2 つのバスの間のデータ転送を行うデータ転送装置とを有し、

前記データ転送装置は、前記第 1 乃至第 3 のバスの夫々に対し独立したバス権要求とアドレス出力が可能であり、1 つのデータ転送起動要求に応答して、リードを行うバスにバス権を要求し、それとは異なったタイミングでライトを行うバスにバス権を要求することを特徴とするマイクロコンピュータ。

【請求項 11】 前記中央処理装置は、前記データ転送装置による第 2 のバス又は第 3 のバスを利用したバスアクセスに並行して、前記第 1 のバスを利用したバスアクセスが可能であることを特徴とする請求項 10 記載のマイクロコンピュータ。

【請求項 12】 前記第 1 乃至第 3 のバスのバス制御手段を有し、

前記バス制御手段は、前記第 1 乃至第 3 のバスの夫々に対し独立にバス権要求の調停とバス制御が可能であることを特徴とする請求項 11 記載のマイクロコンピュータ。

【請求項 13】 前記中央処理装置は、前記第 1 のバスから前記バス制御手段を介して第 2 のバス又は第 3 のバスをアクセス可能であることを特徴とする請求項 12 記載のマイクロコンピュータ。

【請求項 14】 前記データ転送装置は、複数のデータ転送チャンネルと、データ転送チャンネルの動作を指示する制御レジスタを有し、

前記制御レジスタは、転送要求を受付けるデータ転送チャンネルと転送要求発生元との対応を定義する転送要求発生元指定領域、データ転送チャンネルと転送元バスとの対応を定義するソースバス指定領域、及びデータ転送チャンネルと転送先バスとの対応を定義するディスティネーションバス指定領域を有することを特徴とする請求項 10 記載のマイクロコンピュータ。

【請求項 15】 前記制御レジスタは中央処理装置によってアクセス可能であることを特徴とする請求項 14 記載のマイクロコンピュータ。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、データ転送装置に係り、詳しくはこれを内蔵する半導体集積回路及びマイクロコンピュータに関し、例えば高速の外部入出力インタフェース回路を備えたシングルチップマイクロコンピュータに利用して有効な技術に関するものである。

【0002】**【従来の技術】**

シングルチップマイクロコンピュータは、中央処理装置（CPU）を中心にしてプログラム保持用のROM（リードオンリメモリ）、データ保持用のRAM（ランダムアクセスメモリ）、およびデータの入出力を行うための入出力回路などの機能ブロックが1つの半導体基板上に形成されて成る。

【0003】

かかるシングルチップマイクロコンピュータに、ダイレクトメモリアクセスコントローラ（DMAC）を内蔵し、CPUとは独立にデータ転送を可能にしたものがある（特許文献1参照）。そのDMACは、割込要求によって起動でき、リピートモード、ブロック転送モードなどを行うことができる。プリンタなどのシステムにおいて、ステッピングモータの制御（複数）やプリンタの印字データ制御、さらには、受信データのメモリへの蓄積に好適である。かかる例では、最大8チャンネルの転送を行うことができる。DMACの転送はCPUと独立しているが、CPUとバスを共有しているために、DMACによるデータ転送に必要なバスサイクルではCPUの動作を停止してしまう。すなわち、1つの起動要求に対して、DMACはバス権を獲得し、リードとライトの2つのバスサイクルの間バスを占有する。例えば、RAMから入出力回路にバイトデータの転送で転送元・転送先アドレスをインクリメントする場合、RAMのアクセスを2ステート、入出力回路のアクセスを3ステートとして、前記の例では、デッドサイクル1ステートを含めて、データ転送6ステート分でバスを占有する。なお、シングルチップマイクロコンピュータまたは半導体集積回路装置の基準クロックの1周期を1

ステートと言う。

【0004】

一方、マイクロコンピュータの外部バスに、DMAコントローラを接続すれば、CPUのROMリードなどの内部バスの動作と、外部のDMAコントローラによる、受信データのメモリへの転送などの外部バス上の転送を並行して行うことができる。しかしながら、外部バス権解放は、そのバス権の授受の際に、アクレッジ信号やリクエスト信号などの認識の遅延が発生するし、マイクロコンピュータと外部のDMAコントローラのバスが衝突したりしないようにするために、双方がバスを使用しない時間が発生したりして、実際の動作に関係のないオーバーヘッドが発生しやすい。1回のデータ転送の前後に、オーバーヘッドが発生してしまうのでは、実際のデータ転送にかかる時間に比較して無視できない。また、外部のDMAコントローラは、汎用的なものを使用すれば、使用しない機能が生じてしまい、費用対効果の面で得策とは言えない。また、各システムに適したDMAコントローラを開発することは可能だが、マイクロコンピュータと別のLSIでは製造費用などの面で不利になりやすい。

【0005】

本発明者による先の出願（特許文献2参照）では、マイクロコンピュータの外部バス上の転送を行う外部バスDMACをオンチップし、外部バスとマイクロコンピュータの内部バスとを並列に動作可能とし、外部バスDMACによる外部バス上のデータ転送と、CPUによる内部バスを用いた命令実行などの内部バスマスタの内部バス上の動作（DMACによる内部バス上のデータ転送など）とを並列に動作可能とする。これにより、外部バスDMACによる外部バス上のデータ転送と、CPUによる内部バスを用いた命令実行とを並列に動作可能になり、マイクロコンピュータの処理性能を向上できる。CPUの処理性能を低下させることなく、外部バス上のデータ転送を行うことができる。

【0006】

上記特許文献1、2に代表されるDMACは結局、バスマスタとして、単一のバス（内部バスまたは外部バスの一方）に接続され、そのバスを利用して、リード・ライトといったデータ転送を実行するものである。したがって、そのような

DMA Cはソースアドレスとディスティネーションアドレスに対するアクセス動作中ずっとその単一バスのバス権を占有することになる。

【0007】

これに対し特許文献3には、異なる2つのデータ処理装置に対応してそれぞれ設けられるインタフェースを通して読出し／書込みが可能にされたバッファメモリを設け、上記2つのインタフェースに対応したそれぞれのデータ処理装置と上記バッファメモリとの間で相互にデータの授受を行うデータ転送機能を持つようにする例が記載されている。この場合は、第1のインタフェースを通した、周辺処理装置から上記バッファメモリへのデータ転送と、第2のインタフェースを通した、上記バッファメモリからメインメモリへのデータ転送を、別々に行うようになっており、データ転送要求も独立になっている。

【0008】

【特許文献1】

特願平4-137954号公報

【特許文献2】

特開2000-235560号公報

【特許文献3】

特開平5-2557号公報

【0009】

【発明が解決しようとする課題】

本発明者はデータ転送制御の観点よりマイクロコンピュータ等による処理のトータル性能を向上することについて検討した。即ち、応用システムの小型化の要求や、半導体集積回路の微細加工の進展に伴い、各種のインタフェース回路が、マイクロコンピュータに集積されるようになってきている。例えば、USB（ユニバーサルシリアルバス）インタフェース、MMC（マルチメディアカード）インタフェースなどがある。前記インタフェースから入力されたデータは、通常、一旦バッファRAMに蓄えるため、DMA Cを用いて、前記インタフェースからバッファRAMへ転送する。音声さらには画像データなどを扱う応用機器が増えるにつれて、転送するデータも大容量かつ高速になる。例えば、USBの場合4

80Mbpsである。このデータ転送の期間、CPUがバスを使用できず、プログラムの実行が妨げられてしまうと、システム全体の制御ができず、不都合が発生してしまう。要するに、USBインタフェースなどにより大量のデータを受信しているときCPUの処理を間に入れられる余地すらない程に高速にデータ受信が行なわれるということである。逆にインタフェース速度が低速であれば随時CPUの処理を割込ませる時間的余裕はできる。また、バッファRAMに蓄えたデータも、CPUによって加工が必要になる場合がある。バッファRAMがシンクロナスDRAMのような、連続アクセスが好適なメモリにあっては、CPUが逐次リード／ライトするよりも、まとまったデータを内蔵RAMに転送し、加工し、バッファRAMに書戻す処理をした方が高速になることが考えられる。この場合には、バッファRAMと内蔵RAMの間の転送を、DMACによって高速に実行できることが必要である。加工済みのデータの転送や、新しいデータの入力などと重なり合っても、CPUによる処理時間が遅くならないようにすることが必要である。

【0010】

しかしながら、上記特許文献1, 2に代表されるDMACのように、バスマスタとして、単一のバス（内部バスまたは外部バスの一方）に接続され、そのバスを利用して、リード・ライトといったデータ転送を実行していたのでは、前記単一バスを共有するCPUの処理が遅れてしまう。また、特許文献3の技術を採用しても、一方のインタフェースを介するバッファメモリへの転送と、バッファメモリから他方のインタフェースを介する転送が夫々独立のデータ転送要求によって別々に行なわれるから、データ転送要求と承認のハンドシェイクシーケンスに要する時間が増えて、データ転送処理とCPUによるデータ処理の効率化が難しいと考えられる。

【0011】

本発明の目的は、データ転送処理とこれに並行する中央処理によるデータ処理とを効率化することにある。

【0012】

本発明の別の目的は、中央処理装置のプログラムリードなどを主とした処理と

、各種のインタフェース回路とバッファメモリとの間のデータ転送処理とを並列化する事ができると共に、並列化される双方の処理効率を向上させることができるデータ転送装置、更には半導体集積回路及びマイクロコンピュータを提供することにある。

【 0 0 1 3 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 1 4 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 5 】

〔 1 〕 本発明によるデータ転送装置（ 5 ）は、第 1 のバス（ I B U S ）と第 2 のバス（ P B U S ）に接続され、それらバスの間のデータ転送を行い、前記第 1 のバスと第 2 のバスの夫々に対し独立したバス権要求とアドレス出力が可能であり、 1 つのデータ転送起動要求に応答して、リードを行う一方のバスにバス権を要求し、ライトを行う他方のバスにバス権を要求する。

【 0 0 1 6 】

前記第 1 のバスと第 2 のバスの夫々に対し独立したバス権要求とアドレス出力が可能であるから、双方のバスのバス権を共に占有する状態を解消可能であり、一方のバスのバス権を獲得してリード又はライトを行っているとき他方のバスのバス権を解放することが可能になる。第 1 のバス又は第 2 のバスの何れかに中央処理装置が接続される場合、データ転送装置によりバス権が解放されているとき中央処理装置はデータ処理を行うことができる。

【 0 0 1 7 】

また、 1 つのデータ転送起動要求に応答して、一方のバスに対するバス権の要求と他方のバスに対するバス権の要求を行い、バス毎に夫々別々のデータ転送要求によってバス権の要求を行うシーケンスを採用していないから、データ転送要求と承認のハンドシェイクシーケンスが簡素化され、データ転送処理と中央処理

装置によるデータ処理の効率化に寄与することができる。

【0018】

本発明の望ましい形態として、前記一方のバスのバス権要求と他方のバスのバス権要求を別のタイミングで行うのがよい。例えば、バス権を獲得した一方のバスのリード動作の所定タイミングで、他方のバスのバス権要求を行う。

【0019】

本発明の望ましい形態として、データ転送装置は複数のデータ転送チャンネルと、データ転送チャンネルの動作を指示する制御レジスタを有する。前記制御レジスタは、転送要求を受付けるデータ転送チャンネルと転送要求発生元との対応を定義する転送要求発生元指定領域、データ転送チャンネルと転送元バスとの対応を定義するソースバス指定領域、及びデータ転送チャンネルと転送先バスとの対応を定義するディスティネーションバス指定領域を有する。

【0020】

〔2〕本発明の第1の観点による半導体集積回路(1)は、第1のバス(I BUS)と、第2のバス(P BUS)と、前記第1のバスと第2のバスの間のデータ転送を行うデータ転送装置(5)と、前記第1のバスに接続された中央処理装置(3)と、前記中央処理装置の制御プログラムを保有し前記第1のバスに接続されたプログラム格納用メモリ(7)とを有する。前記データ転送装置は、前記第1のバスと第2のバスの夫々に対し独立したバス権要求とアドレス出力が可能であり、1つのデータ転送起動要求に応答して、リードを行う一方のバスにバス権を要求し、それとは異なったタイミングでライトを行う他方のバスにバス権を要求する。前記中央処理装置は、前記データ転送装置による第2のバスを利用したバスアクセスに並行して、前記第1のバスを利用したバスアクセスが可能である。これにより、上記同様にデータ転送処理と中央処理装置によるデータ処理とを並行することができると共に双方の処理の効率化に寄与することができる。

【0021】

本発明の第2の観点による半導体集積回路は、第1のバスと、第2のバスと、前記第1のバスと第2のバスの間のデータ転送を行うデータ転送装置と、前記第1のバスに接続された中央処理装置と、前記第1のバスと第2のバスのバス制御

手段（１１）とを有する。前記データ転送装置は、前記第１のバスと第２のバスの夫々に対し独立したバス権要求とアドレス出力が可能であり、１つのデータ転送起動要求に応答して、リードを行う一方のバスにバス権を要求し、それとは異なったタイミングでライトを行う他方のバスにバス権を要求する。前記バス制御手段は、前記第１のバスと第２のバスの夫々に対し独立にバス権要求の調停とバス制御が可能である。これにより、上記同様にデータ転送処理と中央処理装置によるデータ処理とを並行することができると共に双方の処理の効率化に寄与することができる。

【００２２】

本発明の第３の観点による半導体集積回路は、第１のバス（ＩＢＵＳ）と、第２のバス（ＰＢＵＳ）と、第３のバス（ＥＸＢＵＳ，ＥＸＩＦＢＵＳ）と、前記第１のバスに接続された中央処理装置（３）と、前記中央処理装置の制御プログラムを保有し前記第１のバスに接続されたプログラム格納用メモリと、前記第２のバスと第３のバスの間のデータ転送が可能なデータ転送装置（５）とを有する。前記データ転送装置は、前記第２のバスと第３のバスの夫々に対し独立したバス権要求とアドレス出力が可能であり、１つのデータ転送起動要求に応答して、リードを行う一方のバスにバス権を要求し、それとは異なったタイミングでライトを行う他方のバスにバス権を要求する。前記中央処理装置は、前記データ転送装置による第２のバス又は第３のバスを利用したバスアクセスに並行して、前記第１のバスを利用したバスアクセスが可能である。上記同様にデータ転送処理と中央処理装置によるデータ処理とを並行することができると共に、転送要求と承認のハンドシェイクシーケンスの点においてデータ転送処理の効率化に寄与することができる。

【００２３】

本発明の望ましい形態として、前記第１乃至第３のバスのバス制御手段（１１）を有し、前記バス制御手段は、前記第１乃至第３のバスの夫々に対し独立にバス権要求の調停とバス制御が可能である。また、前記中央処理装置は、前記第１のバスから前記バス制御手段を介して第２のバス又は第３のバスをアクセス可能である。

【0024】

〔3〕本発明によるマイクロコンピュータは、第1のバス（IBUS）と、第2のバス（PBUS）と、第3のバス（EXIFBUS, EXBUS）と、前記第1のバスに接続された中央処理装置（3）と、前記中央処理装置の制御プログラムを保有し前記第1のバスに接続されたプログラム格納用メモリ（7）と、前記第1乃至第3のバスの内の何れか2つのバスの間のデータ転送を行うデータ転送装置（5）とを有する。前記データ転送装置は、前記第1乃至第3のバスの夫々に対し独立したバス権要求とアドレス出力が可能であり、1つのデータ転送起動要求に応答して、リードを行うバスにバス権を要求し、それとは異なったタイミングでライトを行うバスにバス権を要求する。上記同様にデータ転送処理と中央処理装置によるデータ処理とを並行することができると共に双方の処理の効率化に寄与することができる。

【0025】

本発明の望ましい形態として、前記中央処理装置は、前記データ転送装置による第2のバス又は第3のバスを利用したバスアクセスに並行して、前記第1のバスを利用したバスアクセスを行う。中央処理装置のプログラムメモリが第1のバスに接続されているからである。また、前記第1乃至第3のバスのバス制御手段を有し、前記バス制御手段は、前記第1乃至第3のバスの夫々に対し独立にバス権要求の調停とバス制御が可能である。前記中央処理装置は、前記第1のバスから前記バス制御手段を介して第2のバス又は第3のバスをアクセス可能である。

【0026】

例えば前記バス制御手段は、第1乃至第3のバス制御論理回路を有する。第1のバス制御論理回路は、中央処理装置及びデータ転送装置などのバスマスタから第1のバスに対するバスリクエストを調停し、所定の優先順位に従って、バス権を与える。バスマスタが出力するアドレスを判定し、当該アドレスが、第1のバス、第2のバス、第3のバスのいずれに相当するかを判断し、第1のバスに相当すれば、第1のバスのバスサイクルを制御する。第2のバスに相当すれば、第2バス制御論理回路に制御を渡し、そのバスサイクルの完了を待つ。同様に、第3のバスに相当すれば、第3のバス制御論理回路に制御を渡し、そのバスサイクル

の完了を待つ。

【0027】

第2のバス制御論理回路は、アドレスに対して固有のバス幅、アクセスステート数などのバス仕様に従って、中央処理装置等の第1のバスのバスマスタによる第2のバスに対するアクセスとデータ転送装置による第2のバスに対するアクセスを一括して制御する。このとき、データ転送装置は第2のバスを利用するためのアドレスやバスコマンドなどを専用の信号として出力する。また、第2のバス制御装置は、中央処理装置そのほかの第1バスのバスマスタによる第2のバスに対するアクセスとデータ転送装置による第2バスに対するバス権要求とを調停する。

【0028】

第3のバス制御論理回路は、アドレス空間を分割して、メモリの種類やバス幅、アクセスステート数等バス仕様が設定可能にされ、中央処理装置等第1のバスのバスマスタによる第3のバスに対するアクセスとデータ転送装置による第3のバスに対するアクセスを一括して制御する。このとき、データ転送装置は第3のバスを利用するためのアドレスやバスコマンドなどを専用の信号として出力する。また、第3のバス制御論理回路は、中央処理装置等の第1バスのバスマスタによる第3のバスに対するアクセス要求とデータ転送装置或はその他の外部バスモジュールからのアクセス要求とを調停する。

【0029】

本発明の別の望ましい形態として、前記データ転送装置は、複数のデータ転送チャンネルと、データ転送チャンネルの動作を指示する制御レジスタを有する。前記制御レジスタは、転送要求を受付けるデータ転送チャンネルと転送要求発生元との対応を定義する転送要求発生元指定領域、データ転送チャンネルと転送元バスとの対応を定義するソースバス指定領域、及びデータ転送チャンネルと転送先バスとの対応を定義するデイスティネーションバス指定領域を有する。前記制御レジスタは中央処理装置によってアクセス可能である。

【0030】

【発明の実施の形態】

図1には本発明の一例に係るマイクロコンピュータが示される。同図に示されるマイクロコンピュータ1は、特に制限されないが、CMOS集積回路製造技術により単結晶シリコンのような1個の半導体基板に形成される。

【0031】

マイクロコンピュータ1は、中央処理装置(CPU)3、DMAコントローラ(DMAC)5、リードオンリメモリ(ROM)7、ランダムアクセスメモリ(RAM)9、バスコントローラ(BSC)11、入出力インタフェース13、周辺機能回路15及び入出力ポート(IOP)17、更に、図示を省略する割込コントローラ、クロック発振器等の機能ブロック乃至はモジュールから構成される。前記周辺機能回路15として、例えばタイマ、パルス出力回路、シリアルコミュニケーションインタフェース(SCI)、及びA/D変換器(A/D)等を有する。

【0032】

動作の主体となるのはCPU3であり、主にROM7から命令を読込んで動作し、作業用のデータ領域としてRAM9をリード/ライトする。CPU3のプログラム用メモリとしては、ROM7のほかキャッシュメモリであってもよい。同様に、CPU3のデータ用メモリとしても、キャッシュメモリを使用することもできる。

【0033】

また、DMAC5はCPU3と第1のバスであるIバス(内部バス)IBUSを共有し、CPU3に代ってデータ転送を行うことができる。周辺機能回路15及び入出力インタフェース回路13は、DMAC5に代表的に示された転送リクエスト信号 $treq-i$ 、 $treq-p$ によりデータ転送起動を要求する。DMAC5が起動要求を受付けて、データ転送を行うと、代表的に示された転送アクノレッジ信号 $tack-i$ 、 $tack-p$ を返し、起動要因をクリアする。起動要因の判定やクリアは割込みコントローラが行ってもよい。

【0034】

上記マイクロコンピュータ1は、第1のバスとして内部バス(Iバス)IBUS、第2のバスとして周辺バス(Pバス)PBUS、外部インタフェースバス(

EXIFBUS)、そしてチップ外部に至る外部バス(EXバス)EXBUSを有する。各バスによって前記内部回路モジュールが接続される。それぞれのバスはアドレスバス、データバスの他、バスコマンド(またはリード信号、ライト信号、バスサイズ信号)、レディ信号(またはウェイト信号)を含む。半導体集積回路としてのマイクロコンピュータ1は、前記外部バスEXBUSとして、チップ外部のバス信号線が接続される外部端子TMLに至る内部配線Linrを有している。厳密には、半導体集積回路としてのマイクロコンピュータ1が備える第3のバスは外部インタフェースバスEXIFBUS及び外部バスEXBUSの前記内部配線Linrであるが、本明細書では便宜上それらを含めて単に外部バスEXBUSとも称する。

【0035】

内部バスIBUSは、CPU3そのほかの内部バスマスタに直接接続されるバスである。メモリの高速アクセスのため、メモリ7、9も内部バスIBUSに接続される。メモリ7、9のアクセスは1ステートで行われる。

【0036】

周辺バスPBUSには、前記入出力インタフェース回路13、周辺機能回路15及び入出力ポート17に含まれる内部I/Oレジスタが接続される。内部バスIBUSと周辺バスPBUSを分離することによって、CPU3のプログラムリードなどで、主として使用する内部バスIBUSの負荷を軽減し、高速化を図るとともに、未使用時の周辺バスPBUSの状態を保持するなどして、低消費電力化を図るのに好都合である。CPU3が、周辺バスPBUSに接続される内部I/Oレジスタをアクセスする場合は、内部バスIBUSおよびバスコントローラ11を経由して行う。内部I/Oレジスタのアクセスは2ステートで行われる。

【0037】

内部バスIBUSはバスコントローラ11から外部インタフェースバスEXIFBUS及び外部バスバッファ回路(BUF)27を介して外部バスEXBUSにインタフェースされる。外部バスバッファ回路(BUF)27は、特に制限されないが、入出力ポート(IOP)17に含まれる。内部バスIBUSと周辺バスPBUSは、バスコントローラ11によってインタフェースされる。

【0038】

前記バス I B U S、P B U S、E X B U Sは、バスコントローラ 11によって制御される。バスコントローラ 11は、夫々のバスに対応させて内部バスアービタ (I-A R B) 20、周辺バスアービタ (P-A R B) 21、外部バスアービタ (E X-A R B) 22、内部バスコントローラ (I-B S C) 23、周辺バスコントローラ (P-B S C) 24、外部バスコントローラ (E X-B S C) 25、リフレッシュタイマ (R E F) 26を有する。尚、バスコントローラ 11による外部バス E X B U Sに対するバス制御は外部インタフェースバス E X I F B U S及び外部バスバッファ回路 (B U F) 27を介して行なわれる。

【0039】

内部バス I B U Sは C P U 3、D M A C 5、R O M 7、R A M 9、外部バスバッファ回路 (B U F) 27、バスコントローラ 11に接続される。ここでは C P U 3と D M A C 5が、内部バスマスタとして内部バス I B U Sを使用することができる。D M A C 5はバス権要求信号 $d m a r e q - i$ によりバス権を要求し、C P U 3はバス権要求信号 $c p u r e q - i$ によりバス権を要求する。内部バスアービタ 20は、バス権要求信号 $d m a r e q - i$ 、 $c p u r e q - i$ によりバス権要求があると、所定の優先順位に従って、必要な調停を行い、C P U 3又は D M A C 5にバス権を与える。バス権の授与はバス権承認信号 $c p u a c k - i$ 、 $d m a a c k - i$ にて通知される。これにより C P U 3と D M A C 5は、排他的に内部バス I B U Sを使用する。バス権を獲得した内部バスマスタは、内部バス I B U Sにアドレス信号及びバスコマンドを出力して、バスアクセスを行う。内部バスコントローラ 23は、C P U 3から内部バス I B U Sに出力されるアドレス信号をデコードし、R O M 7などの内部バス I B U S上の回路モジュールに対するアクセスであれば、内部バス I B U Sを使用したバス制御を行う。そのアクセス対象が周辺機能回路 15の内部 I/Oレジスタ等の周辺バス P B U S上の回路モジュールへのアクセスであるとき内部バスコントローラ 23は、周辺バスコントローラ 24を起動し、内部バス I B U S上のバスレディ信号を非活性化し、C P U 3をウェイトさせ、更に周辺バスアービタ 21に周辺バスに対するバス権を要求し、そのバス権要求が承認されるのを待って、周辺バス P B U Sに対す

るバス制御を行う。また、前記アクセス対象が外部バス E X B U S 上の回路モジュールの場合に内部バスコントローラ 23 は、外部バスコントローラ 25 を起動し、内部バス I B U S 上のバスレディ信号を非活性化し、C P U 3 をウェイトさせ、更に外部バスアービタ 22 に外部バス E X B U S に対するバス権を要求し、そのバス権要求が承認されるのを待って、外部バス E X B U S に対するバス制御を行う。

【0040】

周辺バス P B U S はバスコントローラ 11、DMAC 5、入出力インタフェース回路 13、周辺機能回路 15 及び I O P 17 に接続される。周辺バス P B U S は、周辺バスコントローラ 24 によってバス制御される。周辺バス P B U S に接続された周辺バスマスタは、ここでは DMAC 5 があり、周辺バス P B U S のバス権調停は周辺バスアービタ 21 が行う。DMAC 5 はバス権要求信号 `dmareq-p` を周辺バスアービタ 21 に出力し、DMAC 5 に周辺バスアービタ 21 からバス権承認信号 `dmaack-p` が返される。周辺バスアービタ 21 は DMAC 5 からのバス権用要求と C P U 3 のアクセスに起因する内部バスコントローラ 23 からのバス使用要求を所定の優先順位にしたがって調停し、何れかにバス権を承認する。DMAC 5 がバス権を獲得したときは、DMAC 5 が周辺バス P B U S にアドレス信号及びバスコマンドを出力して、バスアクセスを行う。C P U 3 のアクセスに起因する内部バスコントローラ 23 からのバス使用要求が承認されたときは周辺バスコントローラ 24 は周辺バス I B U S を使用したバス制御を行う。前述の如く C P U 3 のバス権は一旦内部バスアービタ 20 で調停され、バス権が与えられた C P U 3 のアクセス対象が周辺バス P B U S であるときは内部バスコントローラ 23 を介して周辺バス権を要求することになる。換言すれば、C P U 3 は、内部バス I B U S を使用している限り、周辺バス権を要求しない。したがって、C P U 3 の内部バス I B U S の使用中に、DMAC 5 による周辺バス P B U S のリード／ライトを並行して行うことが保証される。

【0041】

外部バス E X B U S は、特に制限されないが、外部バスバッファ回路 (B U F) 及び外部インタフェースバス E X I F B U S を介してバスコントローラ 11 及

びDMAC 5に接続される。図1では外部バスEXBUSにはマイクロコンピュータ1とは別チップの代表的に示されたシンクロナスDRAM (SDRAM) 28が接続される。外部バスEXBUSは、外部バスコントローラ25によってバス制御される。外部バスEXBUSにDRAMが接続されている場合にはアドレスマルチプレクスなどの制御も行う。外部バスEXBUSを使用できる外部バスマスタは、CPU3、DMAC 5、リフレッシュタイマ26、図示を省略する外部バスマスタであり、それぞれからのバス権要求は外部バスアービタ22が調停する。dma req-exはDMAC 5からのバス権要求信号、dma ack-exはDMAC 5へのバス権承認信号である。外部バスマスタからのバス権要求信号BREQはex req-exによって与えられ、これに応答するバス権承認信号ex ack-exはバス権承認信号BACKとして外部バスマスタに与えられる。DMAC 5がバス権を獲得したときは、DMAC 5が外部インタフェースバスEXIFBUSから外部バスEXBUSにアドレス信号及びバスコマンドを出力して、外部バスアクセスを行う。リフレッシュタイマ26がバス権を獲得したときは、外部バスコントローラ25が外部インタフェースバスEXIFBUSから外部バスEXBUSにアドレス信号及びバスコマンドを出力して、外部バス上のSDRAM 28などに対するリフレッシュのためのバスアクセスを行う。内部バスマスタのアクセスに起因する内部バスコントローラ23からのバス使用要求が外部バスアービタ22により承認されたときは、外部バスコントローラ24は外部インタフェースバスEXIFBUS及び外部バスEXBUSを使用したバス制御を行う。前述の如くCPU3のバス権は一旦内部バスアービタ20で調停され、バス権が与えられたCPU3は、アクセス対象が外部バスであるとき、外部バス権を要求する。換言すれば、CPU3は、内部バスIBUSを使用している限り、外部バス権を要求しない。したがって、CPU3による内部バスIBUSの使用中に、DMAC 5、リフレッシュタイマ26による外部バスEXBUSにアクセス、或は外部バスマスタに対するバス権解放を行うことが保証される。

【0042】

尚、リフレッシュタイマ26は一定時間毎にリフレッシュ要求を発生する。例えば、リフレッシュタイマ26が外部バス権を獲得すると、SDRAMのリフレ

ッシュとして、C A S ビ フ ォ R A S リ フ レ ッ シ ュ を 行 う。また、外部バスマスタが外部バス権を獲得すると、外部バス（アドレスバス、データバス、制御信号）E X B U S を ハイ イ ン ピ ー ダ ン ス 状 態 に し、外部バスマスタによる外部バスの利用を可能にするとともに、外部バス権アクノレッジ信号B A C K を 活 性 状 態 に し、これを通知する。

【0043】

前述の如く、D M A C 5 は、内部バス I B U S、周辺バス P B U S、外部バス E X B U S に対して、個別にバス権要求を出力できる。データ転送に使用するバスに応じて、内部バスアービタ 2 0、周辺バスアービタ 2 1、外部バスアービタ 2 2 の何れかに、それぞれ、内部バス権要求 d m a r e q - i、周辺バス権要求 d m a r e q - p、外部バス権要求 d m a r e q - e x を出力することができる。内部バス権要求を行った場合、内部バス権アクノレッジ信号 d m a a c k - i を入力して、内部バス権の獲得を確認すると、内部バスコマンド、アドレスを発行して、内部バス I B U S のアクセスを行う。同様に、周辺バスアービタ 2 1 に、周辺バス権要求を行った場合、周辺バス権アクノレッジ信号 d m a a c k - p を入力して、周辺バス権の獲得を確認すると、周辺バスコマンド、アドレスを発行して、周辺バス P B U S のアクセスを行う。外部バスに対しても同様である。

【0044】

C P U 3 は、前述の通り、内部バス I B U S に対して、バス権を要求でき、内部バス I B U S を介して、周辺バス P B U S 及び外部バス E X B U S を利用することができる。

【0045】

前記 R O M 7 及び R A M 9 は内部バススレーブとして、また、入出力インタフェース回路 1 3、周辺機能回路 1 5 及び I O P 1 7 の各機能ブロックは周辺バススレーブとして、C P U 3 又は D M A C 5 によってリード／ライトされる。D M A C 5 は、転送制御データの設定等のために、C P U 3 によって周辺バススレーブとしてリード／ライト可能にされる。

【0046】

その他にマイクロコンピュータ 1 が備える機能の概略は以下の通りである。例

例えば、図示を省略する割込コントローラは入出力インタフェース回路13、周辺機能回路15及びIOP17の各機能ブロックの出力する割込信号を入力し、CPU3に割込要求信号を出力する。IOP17は、外部バス信号（アドレスバス出力、データバス入出力、バス制御信号入出力）、周辺機能回路15を構成するタイマやパルス出力回路等の入出力信号と兼用とされている。そのほか、図示はされない、電源端子、回路の接地端子、アナログ電源端子、アナロググランド端子、リセット入力端子、スタンバイ入力端子、割込入力端子、クロック入力端子、動作モード端子等を有する。

【0047】

図2にはCPU3のアドレス空間が例示される。CPU3のアドレス空間は、特に制限されないが、4Gバイトあり、8つのエリアに分割されている。これらのエリアは、バスコントローラ11の設定によって、独立して、バス幅、アクセスステート数を設定可能にされ、外部バス空間は外部バスコントローラ25によって制御される。一方、マイクロコンピュータ3内部のROM7及びRAM9、内部I/Oレジスタは、前記バスコントローラ11の設定にかかわらず、固有のバス幅、アクセスステート数で動作する。前記の通り、内蔵ROM7、RAM9は、内部バスIBUSで接続され、1ステートでリード/ライトされる。内部I/Oレジスタは、周辺バスPBUSに接続され、2ステートでリード/ライトされる。

【0048】

図3にはDMAC5のブロックダイアグラムが例示される。DMAC5は、特に制限はされないものの、4チャンネルのデータ転送チャンネルを有する。図3には代表的に一つのデータ転送チャンネルCHNが示される。DMAC5は、各データ転送チャンネルに共通の、制御回路31、データセクタ33、データバッファ35、アドレスセクタ37及び算術演算回路(AU)39を有し、後述のコントロールレジスタDTMR、ディスティネーションアドレスレジスタDAR、ソースアドレスレジスタSAR、転送カウントレジスタTCRのレジスタが4チャンネルの夫々のデータ転送チャンネルCHNに設けられている。

【0049】

DMA C 5は、前記転送リクエスト信号 $treq-i o$ 、 $treq-pe$ に代表される複数の転送リクエスト信号 $treq$ を入力し、これに呼応したデータ転送を実行したとき前記転送アクノレッジ信号 $tack-i o$ 、 $tack-pe$ に代表される複数の転送アクノレッジ信号 $tack$ を出力する。

【0050】

前記の通り、DMA C 5は3つのバス IBUS, PBUS, EXBUSと独立したデータ入出力を可能とする。一つの転送リクエスト信号による一つのデータ転送起動要求に応答してデータ転送を行うとき、転送元アドレス、転送先アドレスの夫々に応じて、当該アドレスに対応するバスに対するバス権の要求を別々のタイミングで行い、アクセス対象バスに対してデータのリードとデータのライトとを行う。DMA C 5は、内部バスアービタ 20、周辺バスアービタ 21、外部バスアービタ 22 に対して、前記専用のバス権要求信号 $dmareq-i$ 、 $dmareq-p$ 、 $dmareq-ex$ にて各別にバス権を要求し、各別に前記専用のバス権承認信号 $dmaack-i$ 、 $dmaack-p$ 、 $dmaack-ex$ にてバス権獲得の承認が通知される。バス権承認が通知されると、DMA C 5は対応するバスコントローラから出力されるバスレディー信号のレディー状態に応答してアクセス対象バスにバスコマンドの発生とアドレスの出力を行い、アクセス動作を行う。使用するデータ転送チャンネルは転送リクエストとの対応で各データ転送チャンネルのコントロールレジスタ DTMR に設定される。データ転送に使用するバスはデータ転送チャンネル毎にコントロールレジスタ DTMR に設定される。尚、ソースアドレスレジスタ SAR とディスティネーションアドレスレジスタ DAR に設定されているアドレスをデコードして使用すべきバスを判定するようにしてもよい。

【0051】

DMA C 5は、バス権を獲得したソースバスのデータバス idb (IBUS 用)、 pdb (PBUS 用) 又は $exdb$ (EXBUS 用) からリードしたデータを一旦、データセクタ 33 を介してデータバッファ 35 に格納し、これを再度データセクタ 33 を介してバス権を獲得したディスティネーションバスのデータバス idb (IBUS 用)、 pdb (PBUS 用) 又は $exdb$ (EXBUS

用) にライトする。リードするバスとライトするバスをそれぞれ独立に選択できる。

【0052】

アドレスセクタ 37 は、DMAC 5 内部バス 40 からソースアドレスレジスタ SAR 又はデスティネーションアドレスレジスタ DAR の内容を入力し、バス権を獲得したバスのアドレスバス iab (IBUS 用)、 pab (PBUS 用) 又は $exab$ (EXBUS 用) に出力する。

【0053】

前記算術演算回路 39 は、ソースアドレスレジスタ SAR とデスティネーションアドレスレジスタ DAR のインクリメント／デクリメント処理、転送カウントレジスタ TCR のデクリメント処理を行う。転送カウントレジスタ TCR にはデータの転送回数もしくは転送語数が初期設定される。

【0054】

前記制御回路 31 は、転送リクエスト信号 $trreq$ を検出して動作を開始し、バス権要求、バスコマンドおよびアドレスの出力を制御する共に、バス権アクノレッジ信号 $tack$ 、バスレディ信号を入力しつつ、バスの動作を制御する。尚、図示は省略するが、DMAC 5 の周辺バスインタフェースとして、CPU 3 によるリード／ライトのために、周辺バスコントローラ 24 は、モジュールセレクト信号、リード信号、ライト信号、周辺バス PBUS へのアドレスの下位ビット出力、周辺バスへのデータ入出力を行う。これらにしたがって、制御回路 31 は内部 I/O レジスタの一つである各データ転送チャネルの前記レジスタ SAR、DAR、TCR、DTMR に対する初期設定や設定データの読み出しを行うことができる。

【0055】

図 4 に DMAC 5 の 1 データ転送チャネル分のレジスタ構成の詳細が例示される。ソースアドレスレジスタ SAR、デスティネーションレジスタ DAR は、特に制限されないが、それぞれ 32 ビット構成であり、転送元、転送先のアドレスを格納する。これらは、特に制限はされないものの、マイクロコンピュータのアドレス空間 4 G バイト全領域を直接指定できる。

【0056】

転送カウンタレジスタTCRは、特に制限されないが、16ビット構成であり、データ転送回数を格納する。1回の起動要求でデータ転送を行う毎に、デクリメントされる。

【0057】

コントロールレジスタDTMRは、DMAC5の転送モードなどを制御する。DTMRの各ビットの機能は次の通りである。

【0058】

ビット15はDTEビットであり、当該チャネルのDMACの動作を許可する。DTEビットを”1”にセットした状態で、転送リクエスト信号が活性化されると、当該データ転送チャネルの動作が開始される。

【0059】

ビット14はDENDフラグであり、所定回数の転送が終了したとき（TCRが0になったとき）に”1”にセットされる。

【0060】

ビット13はDIEビットであり、割込みを許可する。DIEビット、DENDフラグがいずれも”1”にセットされたとき、CPU3に割込みが要求される。DIEビットが”1”にセットされた状態で、DENDフラグが”1”にセットされると、同時にDTEビットが”0”にクリアされ、当該データ転送チャネルの動作は中断され、CPU3による処理を待つ。

【0061】

ビット2～0はDTS2～0ビットであり、転送動作開始のトリガとすべき転送要求発生元を指定する。例えば、“000”は入出力インタフェース回路13の入力完了による起動要求、“001”は入出力インタフェース回路13の出力完了による起動要求、“010”はタイマの第1のコンペアマッチによる起動要求、“011”はタイマの第2のコンペアマッチによる起動要求、“100”はSCIの入力完了による起動要求、“101”はSCIの出力完了による起動要求、“110”は外部リクエストによる起動要求、とされる。

【0062】

ビット9、ビット8はSZ1、SZ0ビットであり、1回のデータ転送のサイズ（“01”のときバイト、“10”のときワード（2バイト）、“11”のときロングワード（4バイト））を選択する。

【0063】

ビット7、ビット6は、SM1、SM0ビットであり、データ転送後にソースアドレスレジスタSARをインクリメントするか、デクリメントするか、固定にするかを指定する。SM1ビットを“0”にクリアすると、ソースアドレスレジスタSARは固定とされる。SM1ビットを“1”にセットした状態で、SM0ビットを“0”にクリアすると、インクリメント、SM0ビットを“1”にセットすると、デクリメントが行われる。

【0064】

ビット5、ビット4は、DM1、DM0ビットであり、データ転送後にデスティネーションアドレスレジスタDARをインクリメントするか、デクリメントするか、固定にするかを指定する。DM1ビットを“0”にクリアすると、デスティネーションアドレスレジスタDARは固定とされる。DM1ビットを“1”にセットした状態で、DM0ビットを“0”にクリアすると、インクリメント、DM0ビットを“1”にセットすると、デクリメントが行われる。

【0065】

ビット3、ビット2は、SA1、SA0ビットであり、ソースアドレスとして使用するバスを選択する。“00”または“01”のときは内部バスIBUS、“10”のときは周辺バスPBUS、“11”のときは外部バスEXBUSに対して、バス権を要求する。

【0066】

ビット1、ビット0は、DA1、DA0ビットであり、デスティネーションアドレスとして使用するバスを選択する。指定の仕方は、SA1、SA0ビットと同様である。前記バス指定ビットSA1、SA0、DA1、DA0を持つことにより、ソース／デスティネーションアドレスによって使用するバスを判定するよりも、その判定を容易に行うことができる。

【0067】

図5にはDMAC 5の状態遷移図が例示される。この状態遷移は、DMAC 5の制御回路31内の論理によって実現される。

【0068】

DMAC 5は、ステートI（アイドル状態）、ステートSR（ソースリクエスト）、ステートSA（ソースアドレス）、ステートSD（ソースデータ）、ステートDR（ディスティネーションリクエスト）、ステートDA（デスティネーションアドレス）、ステートDD（デスティネーションデータ）の7つの状態を持つ。

【0069】

リセット後には、ステートIに遷移する。ステートIでは、DMAC 5起動要求信号をサンプリングする。いずれかのチャンネルの転送許可ビットが1にセットされると、当該チャンネルの起動要求を検出する。複数のチャンネルが起動された場合は、チャンネル0から優先して動作を行う。

【0070】

起動要求に所定の入力が発生すると（ $dreq = 1$ ）、ステートSRに遷移する。ステートSRでは、ソースに指定されたバス、すなわち、内部バスIBUS、周辺バスPBUS、外部バスEBUSのいずれかのバス権を要求する（ $breq_s = 1$ ）。いずれのバスにバス権を要求するかは、前記の通り、コントロールレジスタDTMRのSA1、SA0ビットを使用して判定すればよい。起動要求に応ずるデータ転送チャンネルのソースアドレスレジスタSARの内容を用意する。バス権の要求に応答してバス権承認信号が活性状態で（ $buck_s = 1$ ）、当該バスのバスレディを検出すると、ステートSAに遷移する。ステートSAでは、当該チャンネルのソースアドレスレジスタSARの内容を所定のアドレスバスに、また当該バスにバスコマンドを出力する。例えば周辺バスをアクセスする場合には周辺バスコントローラ24が周辺バスPBUSを起動する。周辺バスアクセスが終了すると、周辺バスレディ信号が活性状態にされてDMAC 5に返される。

【0071】

当該バスのバスレディ信号の活性状態を検出すると（ $busrdy_s = 1$ ）

、DMAC 5はステートSDに遷移する。このステートSDではリードしたデータを、データバッファ35に格納する。

【0072】

引続き、ステートDRに遷移する。ステートDRでは、デスティネーションに指定されたバス、すなわち、内部バスIBUS、周辺バスPBUS、外部バスEXBUSの何れかにバス権を要求する。起動要求に応ずるデータ転送チャンネルのデスティネーションアドレスレジスタDARの内容を用意する。前記バス権の要求に応答してバス権承認信号が活性状態で(busack__d=1)、当該バスのバスレディを検出すると、ステートDAに遷移する。

【0073】

ステートDAでは、当該チャンネルのデスティネーションアドレスレジスタDARの内容を所定のアドレスバスに、また当該バスにバスコマンドを出力する。例えば、内部バスをアクセスする場合には内部バスコントローラ23が内部バスを起動する。内部バスアクセスが終了すると、内部バスレディ信号が活性状態にされる(busrdy__d=1)。当該バスのバスレディを検出すると、DMACはステートDDに遷移する。

【0074】

ステートDDでは転送カウンタレジスタTCRのデクリメントを行う。デスティネーションバスに前記データバッファ35のデータを出力する。バスレディ信号が活性状態になると(busrdy__d=1)、ステートIに遷移し、1回分のデータ転送の動作を終了する。

【0075】

図6にはDMAC 5の第1の使用例の動作タイミングが示される。これは入出力インタフェース回路13と内蔵RAM9との間のデータ転送を行う場合の例である。

【0076】

内部バスIBUSに関しては、バス権調停、IAB(内部バスIBUSのアドレスバス)出力及びIDB(内部バスIBUSのデータバス)入出力は、パイプライン化しており、バスの状態は、内部バスIBUSのバスレディー信号rea

$ready-i$ 、周辺バス PBUS のバスレディー信号 $ready-p$ が活性状態のときに遷移する。すなわち、 $ready-i=1$ のときに、 $dmaack-i=1$ または $cpuack-i=1$ 信号によってバス権を与えられたバスマスタが、次のクロックから IAB を使用して、アドレスを出力する。アドレスは $ready-i=1$ となったときに使用され、アドレスを出力していたバスマスタは、次のクロックから IDB を使用してデータを入出力する。

【0077】

周辺バス PBUS 及び外部バス EXBUS については、アドレスとデータはパイプラインかされておらず、アドレスは 2 ステート期間出力され、データはアドレス出力の第 2 ステートで入出力される。外部バス EXBUS は適宜ウェイトの挿入が可能であり、また所要のメモリとのインタフェースのために所定のアクセスを行うことができる。

【0078】

図 6 においてステート T1 で、入出力インタフェースするデータ転送起動要求信号 $dreq$ が活性状態になり、DMAC5 が起動される。

【0079】

ステート T2 で、DMAC5 は $dmarreq-p$ を活性状態にして ($dmarreq-p=1$)、周辺バス PBUS にバス権を要求する。CPU3 による周辺バスアクセスがないので、周辺バスアービタは、 $dmaack-p$ を活性状態にして ($dmaack-p=1$)、DMAC5 にバス権を与える。

【0080】

ステート T3 で、DMAC5 は周辺バス PAB にアドレスを出力し (DMAC: ra)、ステート T4 で周辺バス PDB の内容を取込む (DMAC: rd)。図示はされない転送アクノレッジ信号とともに、入出力インタフェース回路の所定の内部 I/O レジスタをリードしたことによって、データ転送起動要求信号 $dreq$ は非活性状態にされる。

【0081】

ステート T5 で、DMAC5 は $dmarreq-i$ を活性状態にして ($dmarreq-i=1$)、内部バス IBUS にバス権を要求する。CPU3 より高位の優

先順位が与えられており、内部バスアービタ 20 は、`dmaack-i` を活性状態にして (`dmaack-i=1`)、DMAC 5 にバス権を与える。

【0082】

ステート T6 で、DMAC 5 はアドレスバス IAB にアドレスを出力し (DMAC:wa)、ステート T7 で、前記リードしたデータをデータバス IDB に出力する (DMAC:wd)。

【0083】

図 6 の動作タイミングより明らかなように、CPU 3 は 1 ステートのみバス権を、DMAC 5 に移譲し、動作停止する。内部バス IBUS を使用するのを、データ転送のうち、ライトのみとしているから、CPU 3 が内部バス IBUS を使用できずに不所望の待機状態になることを最小限にすることができる。図示はしないが、外部バスからデータをリードして内部バスに転送する場合もほぼ同じ動作とされる。

【0084】

図 7 には DMAC 5 の第 2 の使用例の動作タイミングが示される。これは入出力インタフェース回路 13 と外部バス EXBUS に接続された SDRAM 28 との間のデータ転送を行う。

【0085】

ステート T4 までは、図 6 と同様である。ステート T5 で、DMAC 5 は `dmareq-ex` を活性状態にして (`dmareq-ex=1`)、内部バス IBUS にバス権を要求する。CPU 3 より高位の優先順位が与えられており、内部バスアービタ 20 は、`dmaack-ex` を活性状態にして (`dmaack-ex=1`)、DMAC 5 にバス権を与える。

【0086】

ステート T6 からで、DMAC 5 は外部アドレスバス EXAB (外部バス EXBUS のアドレスバス) にアドレスを出力し、SDRAM 28 などの場合は、ステート T6 でロウアドレスを、ステート T7～T8 でカラムアドレスを出力する。T7～T8 で、リード済みのデータを、EXDB にデータを出力する。この間、ステート T7 で、外部バス EXBUS のバスレディー信号 `ready-ex` が

非活性状態になり ($ready-ex=0$)、DMAC5のステート遷移は待たされる。ライトするSDRAM28の上位アドレス(ロウアドレス)が一致していれば、ロウアドレスを出力するステートを省略して、ステートT6~T7でコラムアドレスを出力することができる。

【0087】

図7の動作タイミングより明らかなように、周辺バスPBUSと外部バスEXBUSを使用したDMAC5によるデータ転送中も、CPU3は内部バスIBUSを使用することができ、不所望の待機状態になることを回避することができる。

【0088】

図8には前記マイクロコンピュータ1をプリンタ制御に用いたマイクロコンピュータシステムの例が示される。プリンタ制御システムは、ユニバーサルシリアルバスなどの送受信回路(受信回路または送受信回路)を入出力インタフェース回路13に内蔵したマイクロコンピュータ1、バッファRAM(SDRAM)28、キャラクタジェネレートROM(CGROM)41、プログラムROM43、及び印字制御回路45を含み、これらがバス47に接続されて構成される。

【0089】

マイクロコンピュータ1のアドレス空間は所定の大きさに分割され、プログラムROM43はエリア0に、バッファRAM28はエリア1に、CGROM41はエリア2に、印字制御回路45はエリア3に接続する。外部に接続されたプログラムROM43に対して、必要な部分を、内蔵ROM7に格納するか、内蔵RAM7にコピーするか、あるいは、キャッシュメモリを内蔵したりして、内部バスIBUS上メモリに配置するようにする。内蔵ROM7が十分に大きな容量を持つことができれば、プログラムROM43は不要とできる。

【0090】

また、本システムは、さらに、印字ヘッド49、ラインフィードモータ51、キャリッジリターンモータ53を含み、これらのモータ51、53は、それぞれ周辺機能回路15に含まれるタイマの出力によって制御される。図示はされないものの、周辺機能回路15に含まれるSCIはホストなどとの通信に使用され、

A/D変換器は紙枚数などのセンサ情報の入力に使用される。

【0091】

図8のマイクロコンピュータシステムでは、DMAC5はUSBなどの入出力インタフェース回路13と、バッファRAM28との間のデータ転送を、内部バスIBUSを介さずに実行することができる。また、DMAC5は、印字データの出力、ラインフィードモータ51、キャリッジリターンモータ52を駆動するパルス出力を行うことができる。更にDMAC5は、SCIの送信データ、受信データの転送を行うことができる。これらの場合は、前記周機能回路15と内蔵RAM9との間のデータ転送を行う。

【0092】

尚、半導体集積回路の集積度の向上によって、印字制御回路45などを1個の半導体集積回路化されたマイクロコンピュータに集積することができる。さらに、バッファRAM28などの汎用的なメモリも1個の半導体集積回路化されたマイクロコンピュータに集積することができる。プログラムROM43やCGROM41などの様に、個別のプリンタの機種などに応じて、マイクロコンピュータシステム毎に変更になるものは、個別の半導体集積回路で構成する方が都合がよい。いずれの部分も1個の半導体集積回路とするにせよ、バスの論理的な構成が変らなければよい。

【0093】

以上説明した発明の実施形態によれば以下の作用効果を得るものである。

【0094】

(1) マイクロコンピュータ1のバスを分離してそれぞれのバスの制御を独立にし、一つのデータ転送要求に応答するデータ転送制御において、DMAC5のバス権要求を、ソースとデスティネーションとで独立に要求することにより、CPU3のメモリ7からのプログラムリードなどの動作と、DMAC5のそのほかのバスを用いた、少なくともリードまたはライトの一方のデータ転送とを独立に行うことができ、これによって、マイクロコンピュータの処理性能を向上することができる。

【0095】

(2) DMAC 5は、1つのデータ転送起動要求に応答して、一方のバスに対するバス権の要求と他方のバスに対するバス権の要求を行い、バス毎に夫々別々のデータ転送要求によってバス権の要求を行うシーケンスを採用していないから、データ転送要求とその承認のハンドシェークシーケンスが簡素化され、DMAC 5とCPU 3によるデータ処理の効率化に寄与することができる。

【0096】

(3) DMAC 5のデュアルアドレス転送において、1つの起動要求に基づく、リードとライトのバス権要求を夫々独立にすることにより、バス権調停の頻度を高くでき、バス権要求からバス権解放までの待ち時間を短くすることができ、この点においてもデータ処理性能を向上することができる。

【0097】

(4) それぞれのバスIBUS, PBUS, EXBUSのバスコントローラ11に、アクセスアドレスエリアに応じたバス制御論理を有するようにしたので、CPU 3その他のバスマスタによるアクセスを一括して制御することが可能になり、バス制御の論理的規模の増加を最小限に抑えることが可能になる。

【0098】

(5) 内部バスIBUSを利用したCPU 3のプログラム実行と、周辺バスPBUSと外部バスEXBUSによるDMAC 5のデータ転送を並行して行う事ができるから、マイクロコンピュータ1のデータ処理性能を向上でき、さらに、SDRAMを外部バスEXBUSに接続する場合、バーストアクセスの適用が容易になり、換言すれば、CPU 3のデータ処理を妨げることなくSDRAMをバーストアクセスすることが容易になり、この点においてもデータ処理性能を向上することができる。

【0099】

以上本発明者等によってなされた発明を具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

【0100】

例えば、データ転送装置としては、DMACに限定されず、データトランスフ

ァコントローラあるいは、バス権を要求するコプロセッサなどであってもよい。DMACの転送機能やレジスタ構成も任意に変更可能である。転送データサイズは、バイト／ワード／ロングワードのほか、ブロック転送などを持つようにしてもよい。1回の起動要求に対して複数のリードとライトを行う場合は、リードとライト毎にバス権を要求すればよい。アドレスレジスタのビット数は32ビットに限定されない。CPUまたは半導体集積回路装置のアドレス空間に応じて、変更できる。例えば、16Mバイトのアドレス空間であれば、24ビットとすればよい。転送カウントレジスタのビット数や構成も変更可能である。転送データサイズや起動要因の選択なども、転送すべきデータや、転送元・転送先となるI/Oや入出力インタフェースに応じて、種々変更可能である。

【0101】

マイクロコンピュータの構成についても限定されない。機能ブロックなども種々変更できる。DMACの他に、第1バス（Iバス）または第2バス（Pバス）に接続された、データトランスファコントローラのような、別のデータ転送装置を内蔵してもよい。

【0102】

DMACやバスコントローラ、内部バスや外部バスの構成など、具体的な回路構成についても種々変更可能である。周辺バスが複数あってもよいし、外部バスが複数あってもよい。例えば、第2バスを複数にし、そのうちの1つを、入出力インタフェースとDMACの間を直結するようにすることもできる。外部バスは、かならずしも、半導体集積回路の外部とのインタフェースでなくてもよい。クロックは、内部バス、周辺バス、外部バスの動作周波数を同一のものとして説明したが、これは適宜分周クロックなどを使用することができる。

【0103】

マイクロコンピュータシステムは、プリンタに限定されない。例えば、デジタル通信システムや、デジタルメディアインタフェースシステムなどに用いることができる。入出力インタフェースで受信したデータを、DMACでバッファRAMへ転送し、復調や誤り訂正、変調など所要の処理を行って、DMACでバッファRAMから入出力インタフェースへ転送し、送信するシステムに利用できる。

この場合には、入出力インタフェースからバッファRAMへの転送と、バッファRAMから入出力インタフェースへの転送にDMACを使用し、そのほかのCPUなどによるデータ処理と並行させることができ、データ処理性能の向上に寄与することができる。

【0104】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシングルチップマイクロコンピュータに適用した場合について説明したが、それに限定されるものではなく、その他の半導体集積回路装置、例えば、デジタルシグナルプロセッサ(DSP)を中心にした半導体集積回路装置にも適用可能であり、本発明は少なくとも、2つのバスを介してデータ転送可能な条件のものに適用することができる。

【0105】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0106】

異なったバスの夫々に対し独立したバス権要求とアドレス出力が可能であるから、夫々のバスのバス権を共に占有する状態を解消可能であり、一方のバスのバス権を獲得してリード又はライトを行っているとき他方のバスのバス権を解放することが可能になる。何れかのバスに中央処理装置が接続される場合、データ転送装置によりバス権が解放されているとき中央処理装置はデータ処理を行うことができる。

【0107】

また、1つのデータ転送起動要求に応答して、一方のバスに対するバス権の要求と他方のバスに対するバス権の要求を行い、バス毎に夫々別々のデータ転送要求によってバス権の要求を行うシーケンスを採用していないから、データ転送要求と承認のハンドシェイクシーケンスが簡素化され、データ転送処理と中央処理装置によるデータ処理の効率化に寄与することができる。

【0108】

したがって、データ転送処理とこれに並行する中央処理によるデータ処理とを効率化することができる。要するに、中央処理装置のプログラムリードなどを主とした処理と、各種のインタフェース回路とバッファメモリとの間のデータ転送処理とを並列化する事ができると共に、並列化される双方の処理効率を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の一例に係るマイクロコンピュータのブロック図である。

【図 2】

CPU のアドレス空間を例示するアドレスマップである。

【図 3】

DMA C の詳細を例示するブロック図である。

【図 4】

DMA C の 1 データ転送チャンネル分のレジスタ構成の詳細を例示する説明図である。

【図 5】

DMA C によるデータ転送制御の状態遷移図である。

【図 6】

DMA C の第 1 の使用例の動作タイミング図である。

【図 7】

DMA C の第 2 の使用例の動作タイミング図である。

【図 8】

マイクロコンピュータをプリンタ制御に用いたマイクロコンピュータシステムを例示するブロック図である。

【符号の説明】

- 1 マイクロコンピュータ
- 3 CPU
- 5 DMA C
- 7 ROM

9 RAM

11 バスコントローラ

13 入出力インタフェース回路

15 周辺機能回路

17 入出力ポート

IBUS 内部バス

PBUS 周辺バス

EXBUS 外部バス

EXIFBUS 外部インタフェースバス

20 内部バスアービタ

21 周辺バスアービタ

22 外部バスアービタ

23 内部バスコントローラ

24 周辺バスコントローラ

25 外部バスコントローラ

26 リフレッシュタイマ

27 外部バスバッファ回路

dmareq-i, dmareq-p, dmareq-ex バス権要求信号

dmaack-i, dmaack-p, dmaack-ex バス権承認信号

cpureq-i バス権要求信号

cpuack-i バス権承認信号

treq-io, treq-pe, treq 転送リクエスト信号

tack-io, tack-pe, tack 転送アクノリッジ信号

31 制御回路

CHN データ転送チャネル

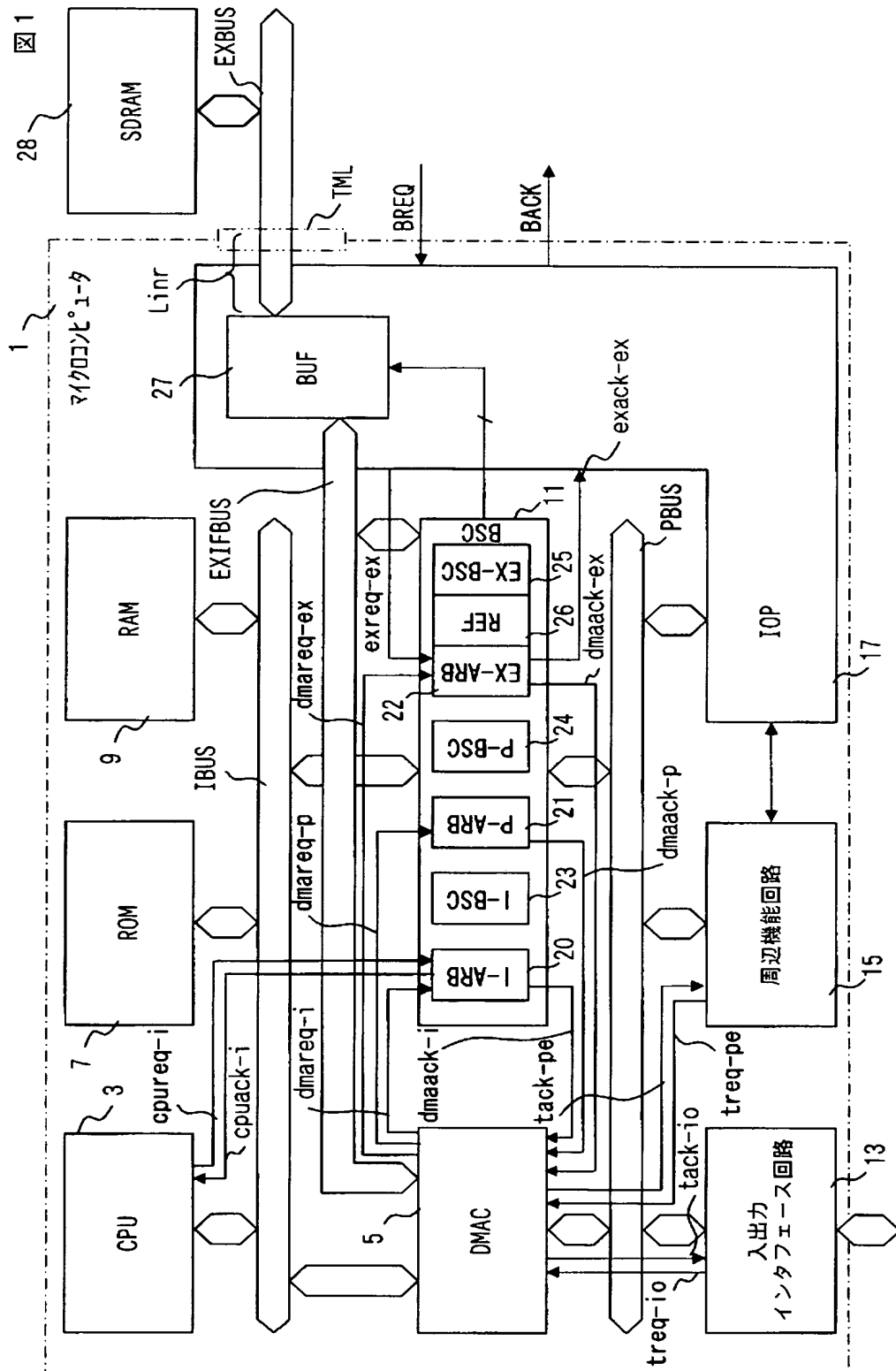
DTMR コントロールレジスタ

SAR ソースアドレスレジスタ

DAR デスティネーションアドレスレジスタ

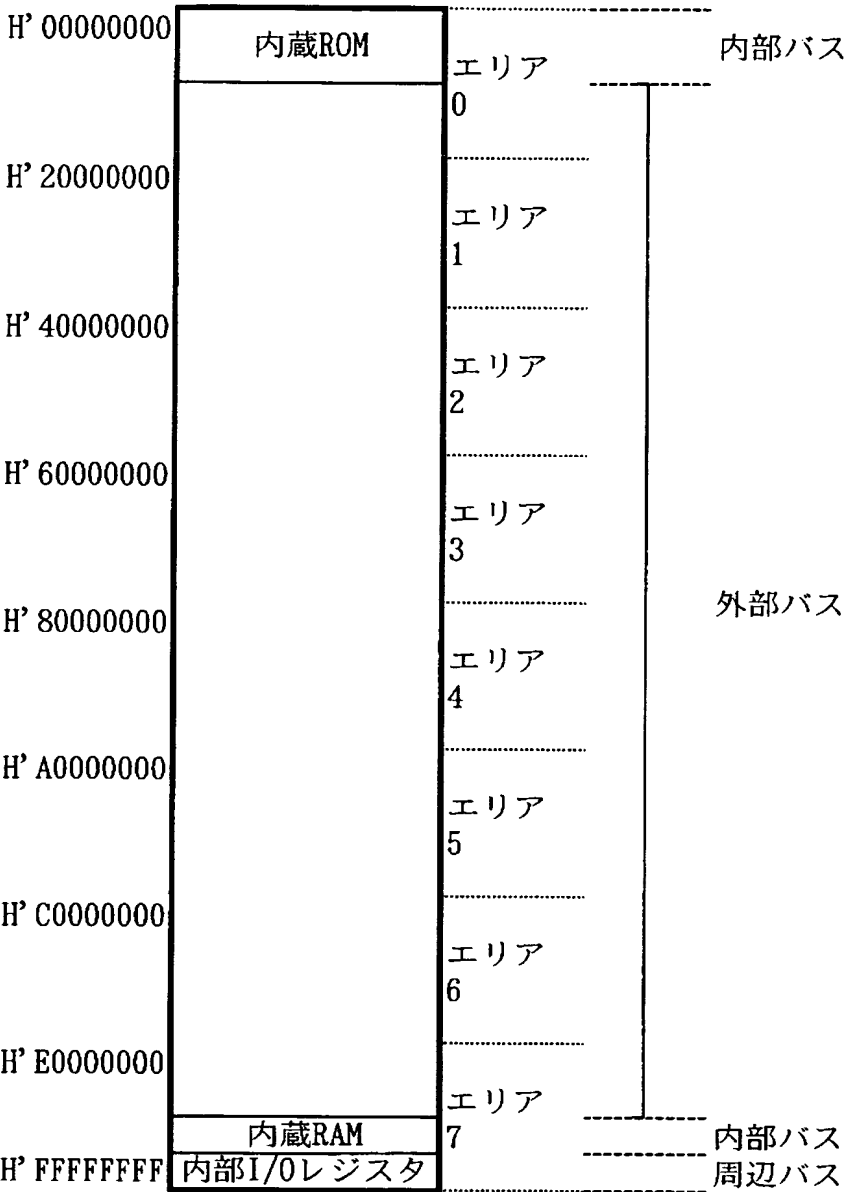
【書類名】 図面

【図 1】



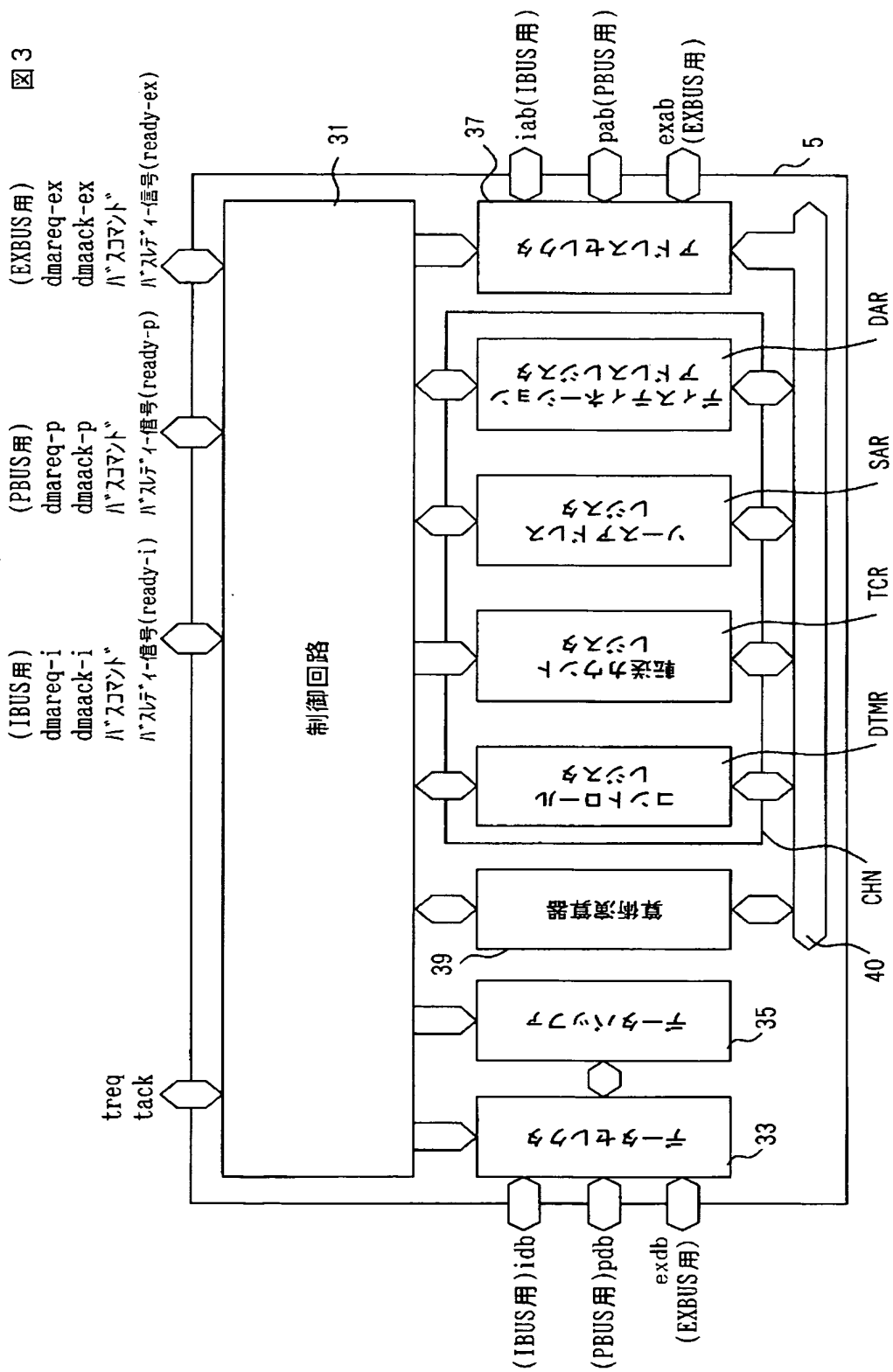
【図 2】

図 2

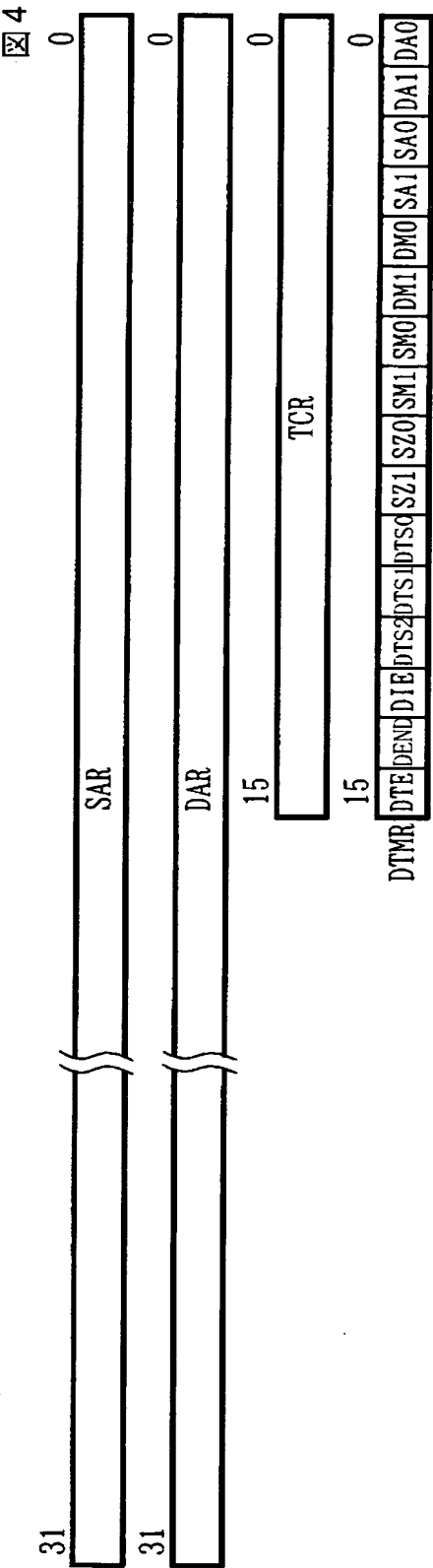


【図 3】

図 3

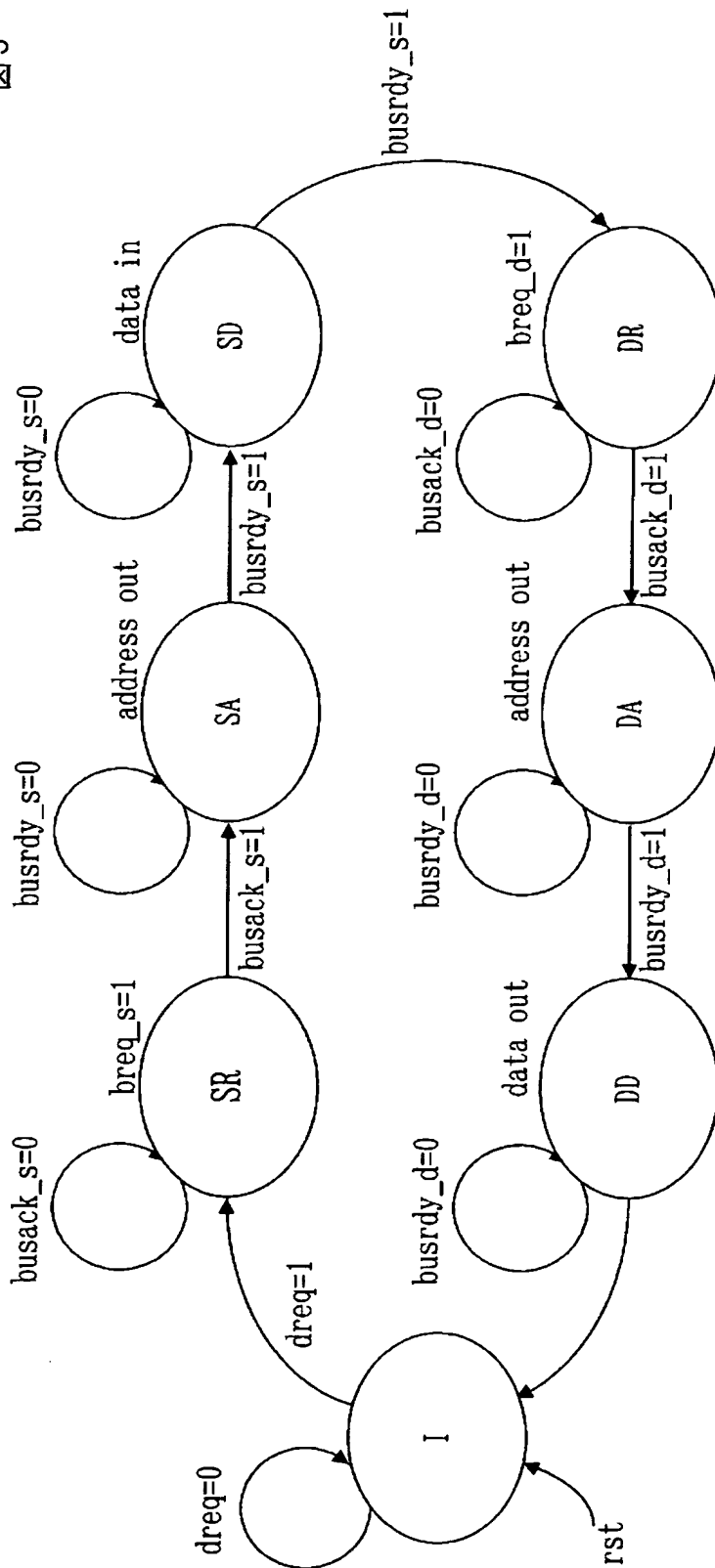


【図 4】



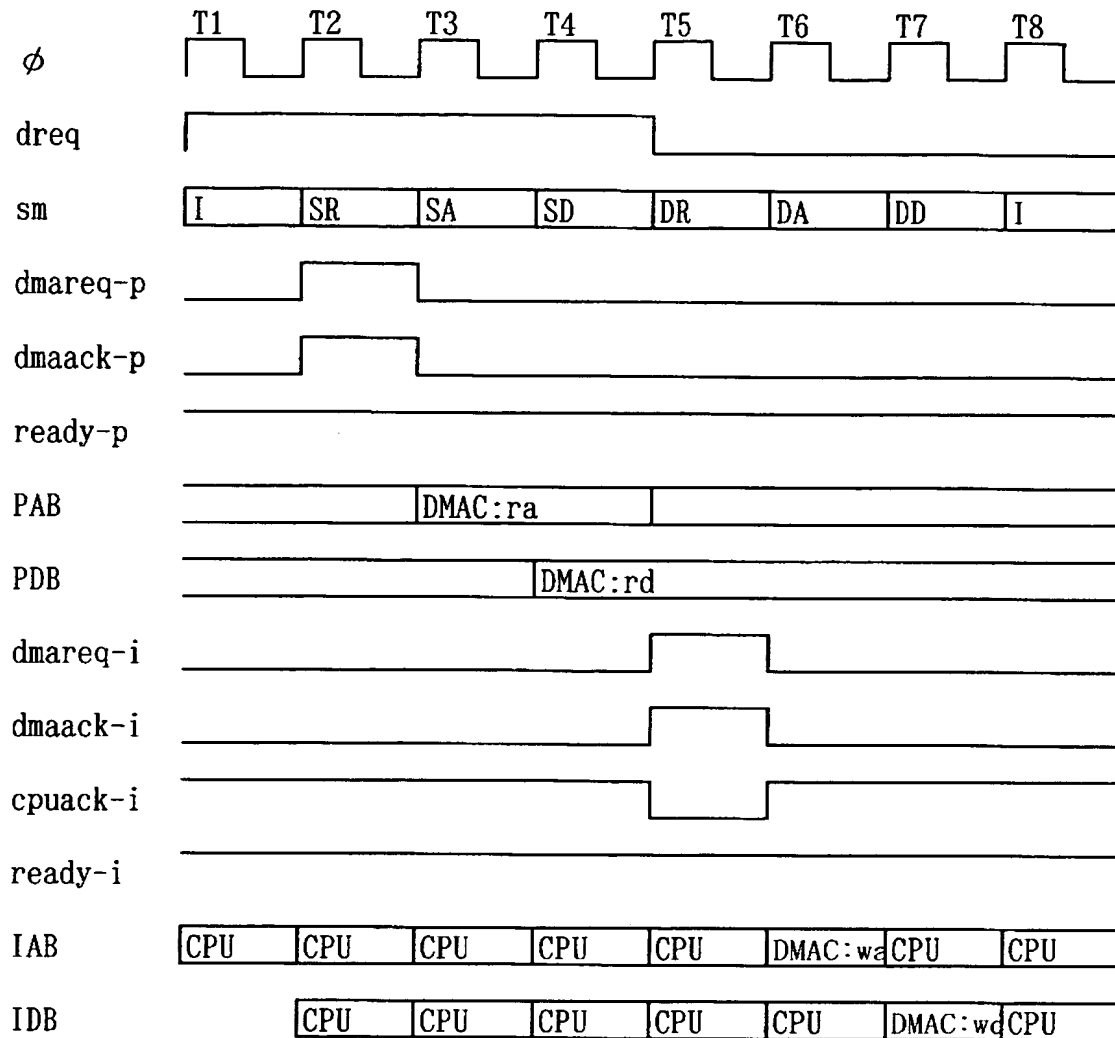
【図 5】

図 5



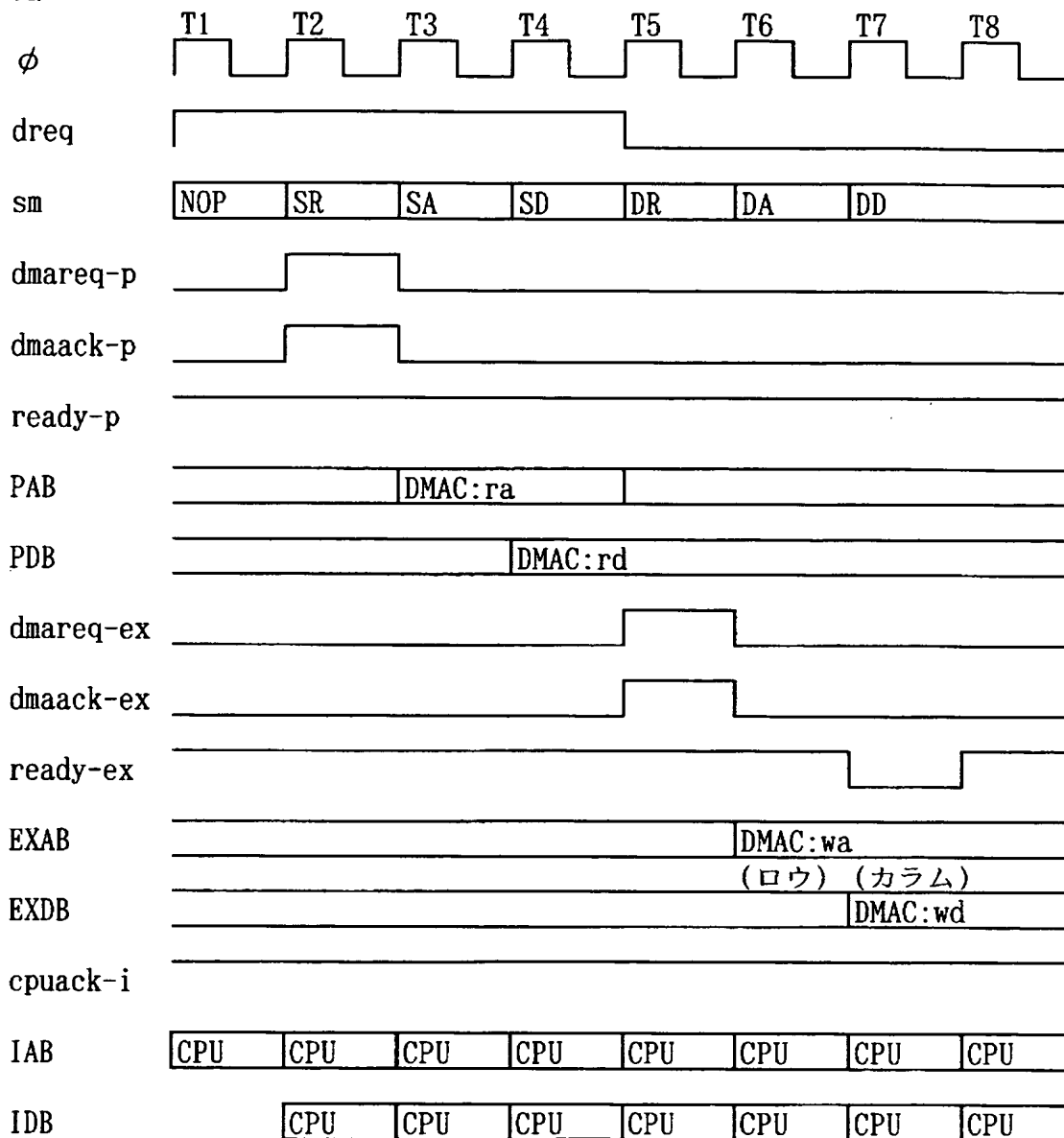
【図 6】

図 6



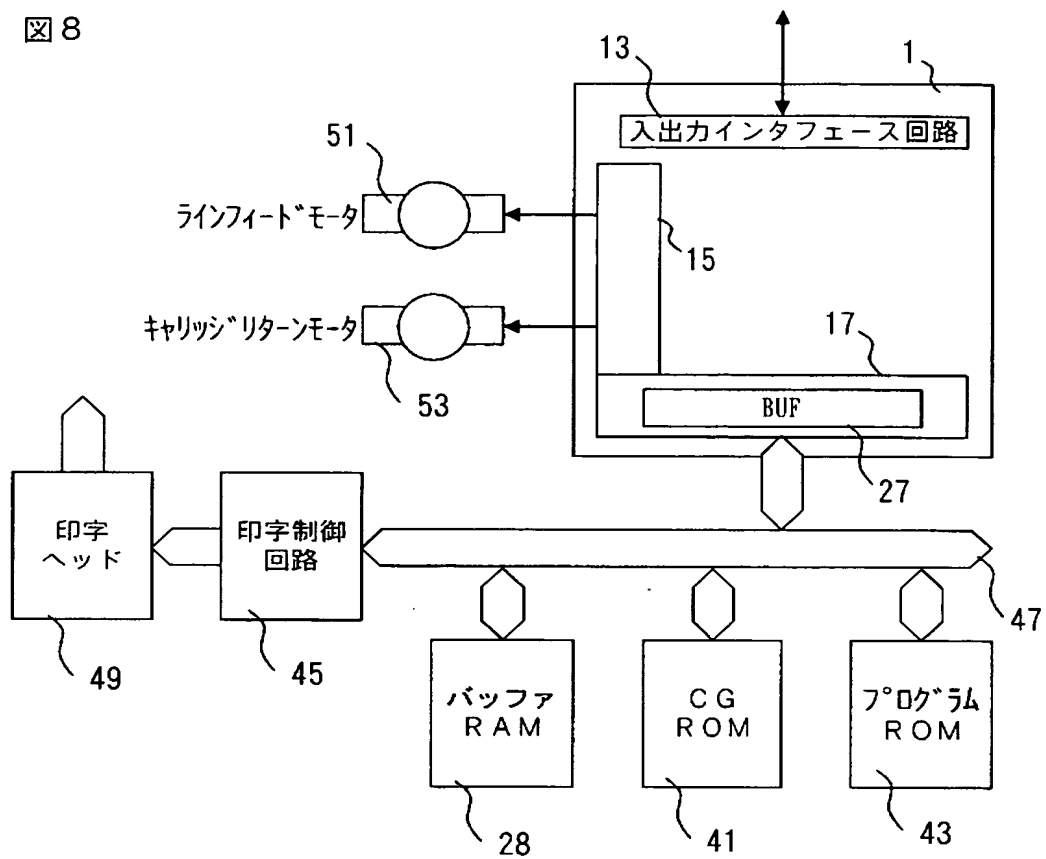
【図 7】

図 7



【図 8】

図 8



【書類名】 要約書

【要約】

【課題】 データ転送処理とこれに並行する中央処理によるデータ処理とを効率化する。

【解決手段】 データ転送装置（５）は、第１のバス（ＩＢＵＳ）と第２のバス（ＰＢＵＳ）の夫々に対し独立したバス権要求とアドレス出力が可能である。双方のバスのバス権を共に占有する状態を解消可能であり、一方のバスのバス権を獲得してリード又はライトを行っているとき他方のバスのバス権を解放することが可能になる。データ転送装置が第１のバスのバス権を解放しているとき中央処理装置（３）はデータ処理が可能である。１つのデータ転送起動要求に応答して、一方のバスに対するバス権の要求と他方のバスに対するバス権の要求を行う。バス毎に夫々別々のデータ転送要求によってバス権の要求を行うシーケンスを採用しない。データ転送要求と承認のハンドシェークシーケンスが簡素化される。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 10739

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【提出物件の目録】

【包括委任状番号】 0308734

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 2 - 3 2 1 6 4 9 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 0 7 3 9
受付番号	5 0 3 0 1 2 1 0 7 9 0
書類名	出願人名義変更届（一般承継）
担当官	伊藤 雅美 2 1 3 2
作成日	平成 1 5 年 1 0 月 7 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 23 日

特願 2 0 0 3 - 0 1 0 7 3 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 1 0 7 3 9

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ